

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-089056

(43)Date of publication of application : 09.04.1993

(51)Int.Cl.

G06F 15/16
G06F 13/00

(21)Application number : 03-276692

(71)Applicant : NEC CORP

(22)Date of filing : 27.09.1991

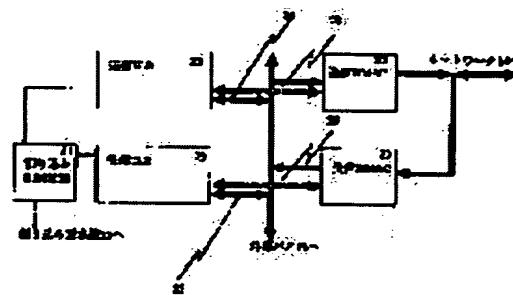
(72)Inventor : MATSUSHITA SATOSHI

(54) MULTI PROCESSOR COMMUNICATION SYSTEM AND DEVICE THEREFOR

(57)Abstract:

PURPOSE: To change the mapping of a remote processor dynamically and independently by each processor for the cancellation of the lack of a memory address space, accompanying the increase of the number of processors by the system and the device to realize a dummy shared memory access in a high parallel multi processor system linked by a communication network except a bus.

CONSTITUTION: To transmission DMAC 26 to monitor a bus 13 and transmit an access request to a communication network, transmission TLB 22 to perform an address conversion and the decision of a transmitting destination processor is added. To reception DMAC 27 to perform the reception of the access request from the communication network and perform the access of a local memory through the bus 13, reception TLB 23 to perform the conversion to the physical address of the local memory is added. By using two TLBs and one address exchanging mechanism built in the processor, in total, three, the mapping is dynamically controlled. The updating of the TLB is performed by interrupting the processor and by software.



LEGAL STATUS

[Date of request for examination] 27.11.1995

[Date of sending the examiner's decision of rejection] 24.11.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-89056

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.⁵

G 0 6 F 15/16

13/00

識別記号

3 2 0 G

3 5 5

庁内整理番号

8840-5L

7368-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号

特願平3-276692

(22)出願日

平成3年(1991)9月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松下 智

東京都港区芝五丁目7番1号 日本電気株式会社内

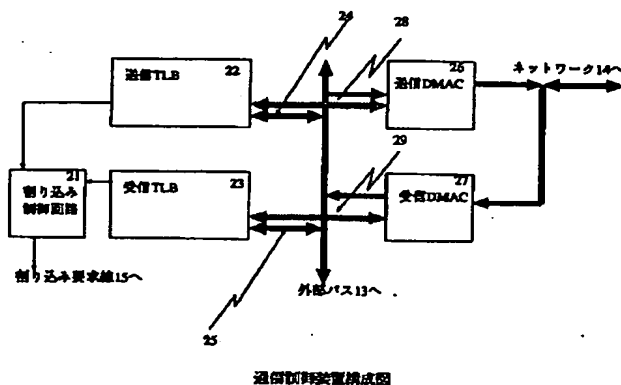
(74)代理人 弁理士 本庄 伸介

(54)【発明の名称】 マルチプロセッサ通信方式およびマルチプロセッサ通信装置

(57)【要約】

【目的】 バス以外の通信網で結合された高並列マルチプロセッサシステムにおいて疑似共有メモリアクセスを実現するための方式および装置で、プロセッサ台数の増大にともなう、メモリアドレス空間の不足の解消のため動的に、かつ各プロセッサで独立に、遠隔プロセッサのマッピングを変更する。

【構成】 本装置では、図2のように、バス13を監視し通信網にアクセス要求を送信する送信DMAC 26に、アドレス変換および送信先プロセッサの判定を行なう送信TLB 22を付加し、通信網からのアクセス要求を受信しバス13を経由してローカルメモリのアクセスを行なう受信DMAC 27に、ローカルメモリの物理アドレスへの変換を行なう受信TLB 23を付加し、この2つのTLBおよび、プロセッサに内蔵されたアドレス交換機構の3つを用いて、動的にマッピングを管理する。TLBの更新は、プロセッサに割り込みをかけソフトウェアによって行なう。



1

【特許請求の範囲】

【請求項1】 プロセッサが通信制御装置を介し通信網に結合されているマルチプロセッサシステムにおいて、メモリアクセス要求を出したプロセッサAは、アクセスするプロセッサBの論理アドレスを用いてプロセッサBへのアクセスを送信し、さらに、メモリアクセス要求を受信したプロセッサBでは、プロセッサAからの論理アドレスをプロセッサBのメモリの実アドレスに変換してから実メモリをアクセスすることを特徴とするマルチプロセッサ通信方式。

【請求項2】 プロセッサが通信制御装置を介し通信網に結合されているマルチプロセッサシステムにおいて、メモリアクセス要求を出したプロセッサAのアドレスを解析し、通信先のプロセッサBを判定する機構をもち、さらに、メモリアクセス要求を受信したプロセッサBで、プロセッサAからのアドレス情報をプロセッサBの実アドレスに変換してプロセッサメモリBをアクセスする機構を持つことを特徴とするマルチプロセッサ通信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マルチプロセッサ通信方式およびマルチプロセッサ通信装置に関する。

【0002】

【従来の技術】 バス結合では電氣的に結合できるプロセ

プロセッサ台数	1台のメモリ	必要な通信空間サイズ
256	64MB	16GB
1024	64MB	64GB

プロセッサ台数と必要な通信空間

【0005】 さらに、最近のプロセッサでは、アドレス変換機構を有し仮想記憶が比較的容易に実現されるが、従来の方式で、仮想記憶を行なった場合、実アドレスと記憶内容の関係が動的に変わるため、この情報をすべてのプロセッサに反映させる必要がある。この際、プロセッサ間のメモリアクセス要求とアドレスマップの変化の情報とのずれ違いを防ぐ工夫が必要になる。

【0006】

【課題を解決するための手段】 本発明に係るマルチプロセッサ通信方式は、プロセッサが通信制御装置を介し通信網に結合されているマルチプロセッサシステムにおいて、メモリアクセス要求を出したプロセッサ（Aとする）は、アクセスするプロセッサ（Bとする）の論理アドレスを用いてプロセッサBへのアクセスを送信し、さらに、メモリアクセス要求を受信したプロセッサBでは、プロセッサAからの論理アドレスをプロセッサBのメモリの実アドレスに変換してから実メモリをアクセスすることを特徴とする。

【0007】 また本発明のマルチプロセッサ通信装置

2

ッサ台数に限りがあり高並列化は困難である。そこで、高並列マルチプロセッサを実現する場合、プロセッサ間の結合に、多段結合網などを用いることになる。その場合、通信方式としては、次の2つの方法がある。

1. メッセージ通信を用いる。

2. プロセッサから出たメモリアクセス要求によって、通信するプロセッサを判定しネットワークを切替える。これにより類似共有メモリアクセスを実現する。

【0003】 従来の高並列型マルチプロセッサシステムでは、（1）を用いたものが多い。一方、圧倒的に普及しているバス結合型マルチプロセッサのソフトウェア資産を利用する点では、（2）が望まれる。こういった、従来型の疑似共有メモリシステムとしては、バタフライ（BBN社）、可変構造型並列計算機（九州大学）、Cenju（日本電気）、RP3（IBM）などがある。

【0004】

【発明が解決しようとする課題】 ところが、プロセッサ台数が増加すると1台のプロセッサに割り付けられるメモリ空間が小さくなる。一方、1台のプロセッサ当たりの実メモリサイズは増大する方向にある。従来の方法ではプロセッサの実アドレス空間が4GBであることを考えると表1の様に必要な通信空間の一部しか各プロセッサにマップできなくなる。

【表1】

は、プロセッサが通信制御装置を介し通信網に結合されているマルチプロセッサシステムにおいて、メモリアクセス要求を出したプロセッサ（Aとする）のアドレスを解析し、通信先のプロセッサ（Bとする）を判定する機構をもち、さらに、メモリアクセス要求を受信したプロセッサBで、プロセッサAからのアドレス情報をプロセッサBの実アドレスに変換してプロセッサメモリBをアクセスする機構を持つを特徴とする。

【0008】

【作用】 本発明は作用において以下の特徴を有する。

1. 通信要求を出すプロセッサAで通信したいプロセッサBのアクセスしたい領域をオンデマンドで切替えることにより、上記物理アドレス空間不足の問題を解決する。

2. プロセッサ間で論理アドレスで通信要求を渡し、要求を受けたプロセッサBでの実メモリと論理アドレスのマッピングを変更しても、他のプロセッサに影響しないようにする。これにより仮想記憶を簡単に実現している。

【0009】

【実施例】

【装置の実施例】本発明のマルチプロセッサ通信装置について、図1および図2を参照して説明する。

【0010】本実施例では、図1に示すプロセッサエレメントを、結線14を用いて、複数個、通信網に接続しマルチプロセッサシステムを構築する。各プロセッサエレメントは、マイクロプロセッサ10、ローカルメモリ11、通信制御装置12からなり、10から12はバスにより結合されている。さらに、通信制御装置12からマイクロプロセッサ10に対し割り込みを要求する信号線15を持つ。

【0011】さらに、通信制御装置12の構成を図2に示す。通信制御装置12は、バス13のメモリアクセス要求のうち、他プロセッサのメモリへのアクセス（以降これを遠隔アクセスと呼ぶ）を検出しネットワークへの通信要求に変換する送信DMAC26および、ネットワーク14からデータを受信し、外部バスへのメモリアクセス要求に変換する受信DMAC27、送信DMAC26の要求を受け、送り先プロセッサの特定をおこなうための連想メモリである送信TLB22、受信DMAC27の要求を受け要求アドレスからプロセッサBの物理アドレスへの変換を行なう連想メモリである受信TLB23、および、22または23のいずれかのTLB上にアドレス変換のためのデータがなかった場合にプロセッサに割り込みをかけるため、割り込み制御回路21から構成される。

【0012】【実施例の装置の動作】プロセッサAがプロセッサBのメモリに書き込みアクセスした場合の動作を示す。下記のプロセッサA側、プロセッサB側の順に動作する。

プロセッサA側

1. 送信DMAC26は、バス13のアドレスを監視しバス13に出ているアドレスのbit31が1であった場合これを遠隔アクセス要求とみなし以下の送信処理をおこなう。
2. 結線28を通し、バス13に出ていたアドレスWから送信TLB22を検索し、通信するプロセッサBを特定する。アドレスWについては、bit31を0にしたものをプロセッサBに送るアドレスXとする。
3. 送信DMAC26は、アドレスX、バス13上のデータDからプロセッサBへのメッセージを組み立てプロセッサBに送信する。

【0013】ただし、(2)で、送信TLB22に変換に必要なTLBエントリが存在しなかった場合、送信処理は一時中断し、割り込み制御回路21により、プロセッサ10に割り込みが発行される。プロセッサは、ローカルメモリ11上のアドレス変換テーブルを参照し変換に必要なTLBエントリを作成し、バス13、送信TLB書き換えバス24を経由して、送信TLB22へ変換

に必要なエントリを書き込むことで送信処理が再開する。

プロセッサB側

1. 受信DMAC27がネットワークから要求として、アドレスX、データDを受信する。
2. 結線29を通し、アドレスXで受信TLB23を検索し、プロセッサBの物理アドレスYに変換する。
3. 送信DMAC27は、アドレスYにデータDを書き込む要求をバス13に出す。
4. バス13を経由して、ローカルメモリ11にデータDが書き込まれる。

ただし、(2)で、受信TLB23に変換に必要なTLBエントリが存在しなかった場合、受信処理は一時中断し、割り込み制御回路21により、プロセッサ10に割り込みが発行される。プロセッサは、ローカルメモリ上のアドレス変換テーブルを参照し変換に必要なTLBエントリを作成し、バス13、送信TLB書き換えバス25を経由して、受信TLB23へ変換に必要なエントリを書き込むことで受信処理が再開する。

【0014】【方式の実施例】さらに、本発明のマルチプロセッサ通信方式をマルチプロセッサ通信装置を用いた場合について、図3を参照して説明する。

【0015】マルチプロセッサ通信装置の場合同様、プロセッサAの論理アドレスVにマップされたプロセッサBのメモリにデータDを書き込む場合を考える。

プロセッサA

1. プロセッサ内部のアドレス変換機構を用いて論理アドレスVを、物理アドレスWに変換する。この時のアドレス変換を図3では、CPUアドレス変換49と呼ぶ。
2. バスに出た物理アドレスのbit31が立っているので通信制御装置12の送信DMAC26が動作する。このとき、送信TLB22により、送信アドレス変換50が行なわれ、アドレスWにマップされているプロセッサがプロセッサBであることの検出がされる。さらに、アドレスWのbit31をおとしてプロセッサBの論理アドレスXへの変換が行なわれる。
3. プロセッサBにアクセス要求を転送する。

プロセッサB

1. プロセッサAから論理アドレスXへのアクセス要求を受信する。
2. 受信TLB23を用いて、受信アドレス変換51が行なわれ、論理アドレスXをプロセッサBの物理アドレスYに変換する。
3. 受信DMAC27により、バスへ物理アドレスYへのデータDの書き込み要求が出力され、ローカルメモリ11にデータが書き込まれる。

【0016】

【発明の効果】本発明のマルチプロセッサ通信装置およ

びマルチプロセッサ通信方式は、高並列マルチプロセッサ装置で疑似共有メモリを実現する方法であり以下の特徴を有する。

1. 通信要求を出すプロセッサAで、通信したいプロセッサBの通信したい領域をオンデマンドでマップし切替えることができ、上記、物理アドレス空間不足の問題が解決される。

2. プロセッサ間で論理アドレスで通信要求を渡すため、要求を受けたプロセッサBでの実メモリと論理アドレスのマッピングを変更しても、他のプロセッサには影響がでない。このため、仮想記憶が簡単に実現される。

【図面の簡単な説明】

【図1】本発明の一実施例におけるプロセッサ装置の構成図である。

【図2】本発明の一実施例における通信制御装置の構成図である。

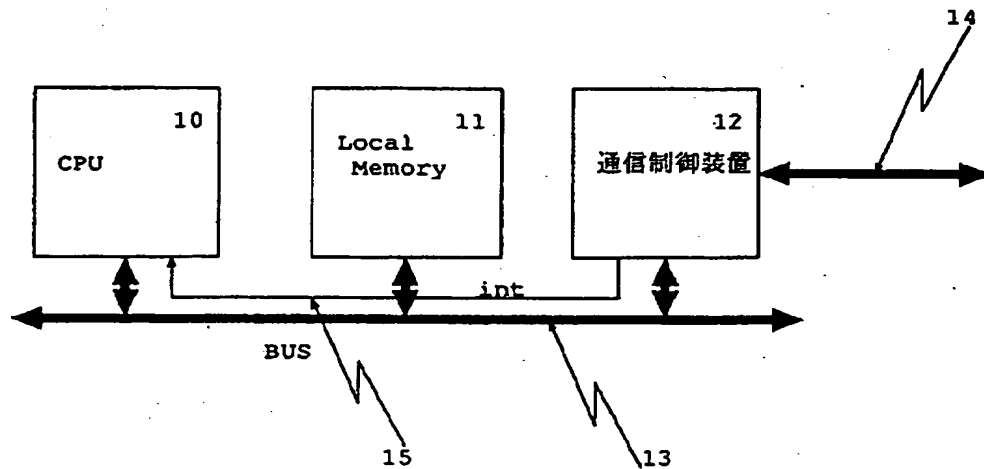
【図3】本発明の通信方式の概念図である。

【符号の説明】

- 10 マイクロプロセッサ
- 11 ローカルメモリ
- 12 通信制御装置

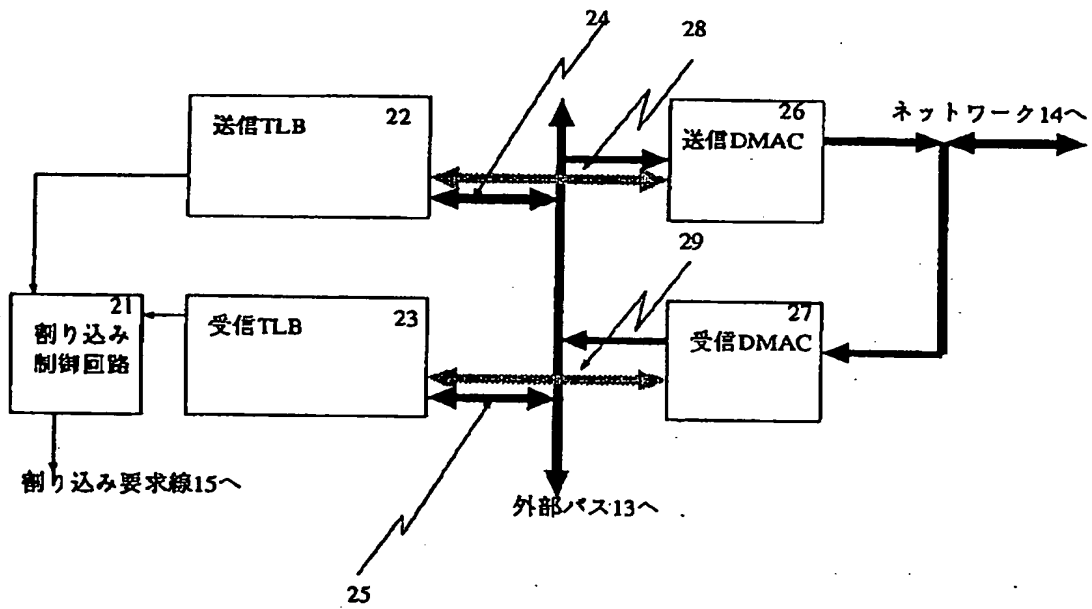
- 13 バス
- 14 通信網との結線
- 15 割り込み要求線
- 21 割り込み制御回路
- 22 送信TLB
- 23 受信TLB
- 24 送信TLB書き換えバス
- 25 受信TLB書き換えバス
- 26 送信DMAC
- 27 受信DMAC
- 28 送信TLB検索バス
- 29 受信TLB検索バス
- 41 プロセッサAの論理アドレス空間
- 42 プロセッサAの物理アドレス空間
- 43 プロセッサBの論理アドレス空間
- 44 プロセッサBの物理アドレス空間
- 45, 46, 47 マッピングされたメモリ
- 48 メモリ実体
- 49 CPUアドレス変換
- 50 送信アドレス変換
- 51 受信アドレス変換

【図1】



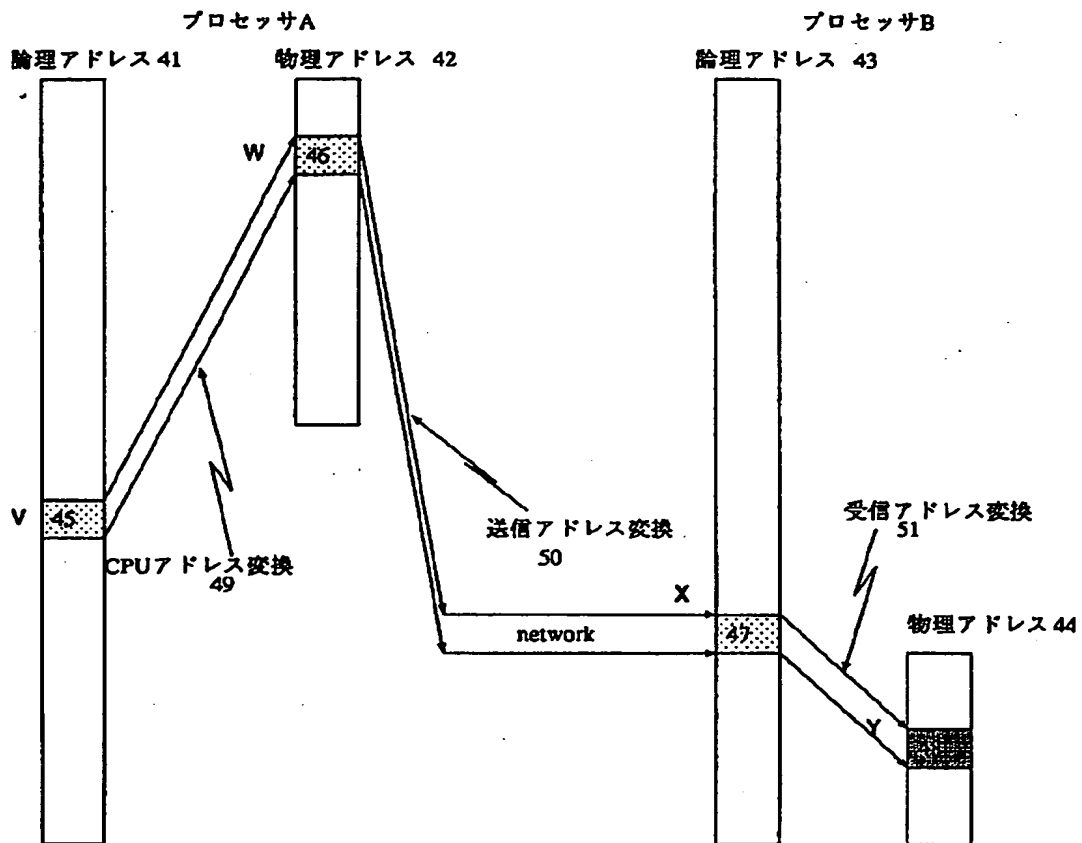
プロセッサ構成図

【図2】



通信制御装置構成図

【図3】



通信方式概念図